

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-165058

(43)Date of publication of application : 17.07.1991

(51)Int.Cl.

H01L 27/04
H01L 21/3205

(21)Application number : 01-305125

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.11.1989

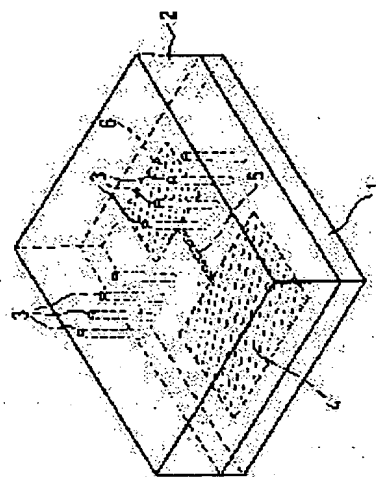
(72)Inventor : INOUE AKIRA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To omit a conductive case in the position of a semiconductor device, to omit an assembling step and to achieve a compact and lightweight configuration and a low cost by providing a plurality of metal wiring through an insulator film in the orthogonal direction to a substrate between a specified circuit and other circuits of a plurality of integrated circuits at an interval shorter than the wavelength of the frequency used in a semiconductor device, and grounding the wiring for high frequencies.

CONSTITUTION: Circuits A4 and circuits B6 such as amplifiers for microwaves are formed on a main surface of a semiconductor substrate 1 comprising GaAs and the like. The circuits 4 and 6 are interconnected with wiring. Thereafter, an insulator film 2 comprising SiON and the like is deposited on the entire surface of the substrate. Thereafter, a plurality of through holes are provided between the circuit A4 and the circuit B6 by dry etching at an interval which is sufficiently shorter than the wavelength in use. The through holes are filled with conductors by the methods of plating, vapor deposition and the like. Thus, the via holes 3 are formed. Thereafter, the via holes are connected to the electrode of power source voltage Vdd or a ground electrode. In this way, the via holes 3 are grounded and formed for high frequencies. Thus, the isolating effect between the circuits and the effect for preventing cavity resonance are obtained, a conductive case is not required and a low cost and a compact and lightweight configuration can be achieved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-165058

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月17日

H 01 L 27/04
21/3205

D 7514-5F

6810-5F H 01 L 21/88

A

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 平1-305125

⑱ 出 願 平1(1989)11月24日

⑲ 発 明 者 井 上 晃 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マ

イクロ波デバイス研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 基板表面に高周波帯域で使用する複数の高周波集積回路を有するとともに、該基板上に絶縁体膜を有する半導体装置において、

上記複数の集積回路の特定回路と他の回路との間に、上記基板に対して垂直方向に上記絶縁体膜中を貫通する金属配線を、上記半導体装置の使用周波数の波長より短い間隔で複数ヶ設け、

かつ、これらを高周波的に接地したことを特徴とする半導体装置。

(2) 基板表面に高周波帯域で使用する複数の高周波集積回路を有するとともに、該基板上に絶縁体膜を有する半導体装置において、

上記複数の集積回路の特定回路と他の回路との間に、上記基板に対して垂直方向に上記絶縁体膜中を貫通する導体壁を設け、

かつ、該導体壁を高周波的に接地したことを特

徴とする半導体装置。

(3) 請求項1または2記載の半導体装置において、

上記絶縁体膜は基板上に複数層にて形成されており、上記金属配線または上記導体壁は、上記絶縁体膜の各層中に、それぞれ上記基板に対して垂直方向に、上記絶縁体膜を貫通するように形成され、

かつ、これらは各層の絶縁体膜間に設けた導体膜により相互に結線されていることを特徴とする半導体装置。

(4) 請求項3記載の半導体装置において、

上記複数層の絶縁体膜の各層に設けた金属配線または導体壁は、上下層間で互いに異なる位置に形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置に関し、特にマイクロ波帯などの高い周波数帯域における高周波集積回路素子に関するものである。

〔従来の技術〕

第6図は従来の半導体装置の一例を示す斜視図である。図において、4、6はそれぞれ回路A、回路Bであり、一般にGaAs等の半導体基板1上に設けられている。5は回路A4、回路B6を結ぶ配線部であり、ここをマイクロ波信号が伝播する。8は金属等の導体により形成された導電性筐体、7は導電性筐体8に結合している導体壁であり、これにより回路A4と回路B6とを高周波的に分離しマイクロ波帯における回路相互の影響を減少させている。このように従来の半導体装置は、導電性筐体8に回路A4、回路B6、及び配線5をハンダ或いは導電性接着材等により接合することにより組立てを行っていた。

一般に、マイクロ波帯で動作させる素子では、互いの回路が相互に影響を与えないようにマイクロ波的に分離する必要がある。これは、回路間に帰還がかかると回路全体として不要発振等を起こしたり、設計値と異なる特性になってしまうためであり、ま

た、さらには導電性筐体の内寸が使用周波数波長の $\lambda/4$ より大きいと空洞共振により使用周波数近くで不要な共振が生じてしまうためである。このような不具合を避けるため、従来は、回路A4、回路B6及び配線5を1チップ構成としないで、導電性筐体8に回路A4、回路B6、配線5を組み立て、いわゆるモジュール構成として使用していた。

〔発明が解決しようとする課題〕

しかしながら、従来の半導体装置は以上のように構成されており、金属性の導電性筐体を用いているため半導体装置の大きさ、重量共に大きくなり、小型、軽量化が困難であり、さらには導電性筐体に回路や配線を組立てなければならず、組立に伴うコストが高くなってしまいうという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、導電性筐体を不要にできると共に組立工程を省略でき、小型軽量化及び低コスト化を図ることができる半導体装置を得ることを

目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、基板表面に高周波帯域で使用する複数の高周波集積回路を有するとともに、該基板上に絶縁体膜を有するものにおいて、上記集積回路の特定回路と他の回路との間における基板上の絶縁体膜中に、使用周波数での波長 λ より短い間隔で並べた複数のバイアホールあるいは導体壁を設けこれらを高周波的に接地したものである。

また、さらには基板面内に高周波集積回路を有するとともに基板上に多層の絶縁体膜を有するものにおいて、その各層中に、上記 λ より短い間隔で並べた複数のバイアホールあるいは導体壁を設け、これらを各絶縁体膜間に設けた導体膜により結線し、かつ、高周波的に接地したものである。

〔作用〕

この発明における半導体装置は、上述したような手段を採用したため、半導体装置内部にマイクロ波的な接地壁を形成でき、従来のモジュールと

同等な回路間の分離効果及び空洞共振の防止効果を得られ、導電性筐体を用いることなく必要な機能を半導体装置内部で実現できるので、組立が不要となり、低コスト化及び小型軽量化が可能となる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図はこの発明の第1の実施例による半導体装置を示す図であり、図において、1はGaAs等の半導体基板、2は基板1上に設けた絶縁体膜、3は絶縁体膜2中の貫通穴中に金属等の導電体を充填することにより形成した配線金属（以下、バイアホールと称す）である。4、6はそれぞれ基板1内に形成されたマイクロ波用の増幅器や発振器等からなる回路A、回路B、5は回路A4と回路B6とを結線する配線である。

本装置は、例えば、GaAs等の半導体基板1の主面にマイクロ波用の増幅器等の回路A4及び回路B6を形成し、回路4、6間を配線5により

結線した後、基板全面にSiON等からなる絶縁膜2を堆積し、その後、回路A4と回路B6との間にドライエッチングにより貫通孔を使用周波数の波長(λ)に比べて十分に短い間隔で複数設け、該貫通孔中にメッキあるいは蒸着等の方法により導電体を充填してバイアホール3を形成し、その後、これを電源電圧Vdd電極又は接地電極に結線することにより、バイアホール3を高周波的に接地して形成したものである。

具体的に本実施例装置の構成について説明すると、本装置を使用周波数が30GHz(SiON膜2中の実効波長:約0.3cm)のマイクロ波で使用する場合、上記バイアホール3の間隔を使用周波数よりもかなり小さい値、例えば100 μ mに形成し、深さ(絶縁膜2の膜厚)を500 μ m程度に形成すれば、ほぼ完全に回路A4と回路B6とを高周波的に分離することができ、マイクロ波帯における回路間の相互干渉を防止できる。これは、電磁気学等でよく知られているように、電磁波が λ に比べて小さいメッシュの接地電極パタ

ーンをほとんど透過できないのと同様の原理に基づいており、マイクロ波が使用周波数より十分に狭い間隔で形成したバイアホール3の列を通過することができないためである。従ってバイアホール3の列はマイクロ波的には接地導体壁と見なすことができ、これは従来例で示した第6図の導体壁7と同等の機能を有する。

このように本実施例では絶縁膜2内に設けた複数のバイアホール3により半導体装置内に導体壁を形成できるため、回路間の分離効果及び空洞共振の防止効果を得ることができ、しかも従来の導電性筐体が不要となるので、導電性筐体の組立工程が不要となり、小型軽量化及び低コスト化が可能となる。

さらに本実施例の効果を他の従来例と比較して説明する。即ち、第7図は特開昭63-143856号公報に示された他の従来例としての半導体装置の平面構成を示しており、これは、半絶縁性基板15の主表面上に複数の能動素子を多列に配置した一段の分布増幅器14a、14b、14cを、入力

端子16から出力端子13へと流れるチップ内のマイクロ波信号に対して並列に縦続接続し、それぞれの増幅器間に、基板15を貫通する金属を充填したバイアホール18により接地した接地線17を配置し、これにより、増幅器相互の干渉の防止を図っているものである。一般的に特定回路から他の回路に対するマイクロ波の伝播は回路を形成している面内だけでなく該面の上部及び下部にも及んでおり、およそ80%が平面以外から伝播していると言われている。従って、上述の従来例で示した構成では、基板面内を伝播する電磁波については遮蔽を行っているが、基板面外を伝播する電磁波は遮蔽することができず、十分な遮蔽効果を得ることができない。これに対して本実施例では基板15上に立体的にバイアホール3からなる導体壁を形成しているので、面内のみならず、面外を伝播する電磁波をも十分に遮蔽することができ、極めて高い遮蔽効果を得ることができる。

なお、上記実施例では回路A、Bの間にのみバイアホール3を設けたが、これは第2図に示すよ

うに各回路(A4、B6)を両回路間の配線部分5を除いて囲うように設けてもよく、この場合にはより大きなマイクロ波的な遮蔽効果が得られる。また、このように回路をマイクロ波的に分離するため、空洞共振を防止できる効果がある。

また、第3図は本発明の第2の実施例による半導体装置を示しており、図中、1、2、4、5、6は第1図と同等である。本実施例は上記実施例の複数のバイアホール3の代わりに同様の方法でバイアホール壁9を設けたもので、本実施例においても上記実施例の第1図と同等のマイクロ波的な接地導体壁が実現されるため、同様な効果が得られる。但し本実施例では、大きなバイアホール壁9の形成工程において、結晶にクラックが入る等の不具合が生ずることがあるので、プロセス的に大きなバイアホール壁を得るのは困難であり、小型の接地導体壁が必要な場合に特に有効である。

なお、本実施例はバイアホール壁9により、回路A、Bの間を遮蔽したが、この場合にも上記実施例と同様に各回路を回路間の結線部を除いて囲

うように構成してもよく、この場合にはより大きな遮断効果が得られる。

また、さらに第4図は本発明の第3の実施例による半導体装置の構成を示しており、第5図は第4図のV-V断面図である。図において、10は第2層絶縁体膜、11は導体膜であって、これは第2層絶縁体膜10と第1層絶縁体膜2の間に形成されている。他の図中の第1図と同一符号は同一又は同等部分を示す。

本構成は第1、2層絶縁体膜10、2中に各々バイアホールを上述した使用周波数波長 λ に比べて極めて短い間隔で設け、第1層のバイアホール3と第2層のバイアホール3を導体膜11により結線している。本例では、さらに基板1中にもバイアホール3を設け、第1層絶縁体膜中のバイアホール3と基板中のバイアホール3とを結線して基板裏面の接地電極12と結線し、全バイアホール3、導体膜11を高周波的に接地している。

一般に、バイアホールを細くかつ深く形成するのにはプロセス的な限界があり、絶縁体膜の膜厚

が厚い場合には形成不可能となる。このため、プロセス的に安定にバイアホールを形成できる厚さの絶縁体膜を多層に形成して各層ごとにバイアホールを形成し、導体膜11により各層のバイアホールを結線することにより、第1図と同等なマイクロ波的な接地導体壁を得ることができ、第1図と同等な効果が得られる。従って、本実施例は特に半導体基板1上に形成する絶縁体膜の膜厚が厚い場合に特に有効である。また、第4図のV-V断面である第5図にあるように、第2層絶縁体膜10、第1層絶縁体膜2、及び基板1内の各バイアホールの位置を相互にずらして各層のバイアホールの位置を変えることにより、バイアホール形成時にバイアホールの上、下部に生ずる金属膜の凹凸の影響をその上、下層のバイアホールに及ぼさないようにできるため、バイアホールをプロセス的に安定にしかも容易に形成できるようになる。

また、この場合においても複数のバイアホール3を特定の回路を囲うように設けるようにしてもよく、この場合にはさらにより効果的なマイクロ

波の遮蔽が得られる。

なお、以上の実施例では、基板1上に形成する絶縁体膜は1層あるいは2層であったが、これはそれ以上の多層であってもよい。

また、基板1は半導体基板を用いたが、これはアルミナやサファイア等の誘電体基板であってもよい。

〔発明の効果〕

以上のようにこの発明によれば、半導体基板上の絶縁体膜中に、使用周波数での波長 λ より短い間隔で配置した複数のバイアホール、あるいはバイアホール壁を設け、これらを高周波的に接地するようにしたので、半導体装置内部にマイクロ波的な接地壁を形成でき、従来のモジュールと同等な回路間の分離効果及び空洞共振の防止効果が得られ、導電性筐体を用いることなく必要な機能を半導体装置内部で実現でき、導電性筐体を不要にできると共に組立工程を省略でき、装置の低コスト化及び小型軽量化が図れる効果がある。

また、さらに、上記絶縁体膜が多層のものにお

いては、各層の絶縁体膜中に上記 λ より短い間隔で配置した複数のバイアホールあるいはバイアホール壁を設け、各絶縁体膜間の導体膜により各層のバイアホールあるいはバイアホール壁を結線し、これらを高周波的に接地するようにしたものにおいては、基板上に厚い絶縁体膜を有するものにおいても半導体装置内部に容易にしかも精度よくマイクロ波的な接地壁を形成でき、回路間の分離効果及び空洞共振の防止効果が得られるとともに装置の低コスト化及び小型軽量化が図れる効果がある。

4. 図面の簡単な説明

第1図はこの発明の第1の実施例による半導体装置を示す斜視図、第2図はこの発明の第1の実施例の発展例による半導体装置を示す斜視図、第3図はこの発明の第2の実施例による半導体装置を示す斜視図、第4図はこの発明の第3の実施例による半導体装置を示す斜視図であり、第5図は第4図の半導体装置のV-V線における断面図、第6図は従来の半導体装置を示す斜視図、第7図

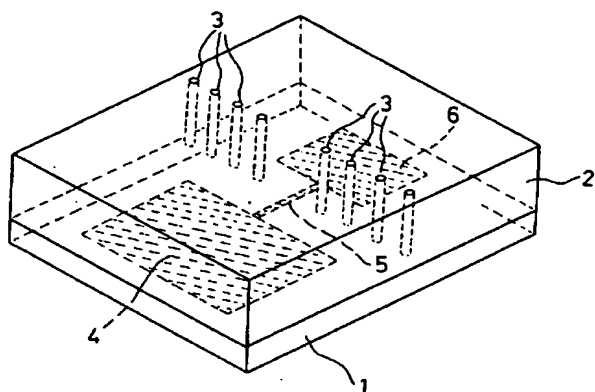
は他の従来例による半導体装置の平面図である。

図中、1は基板、2は第一層絶縁体膜、3はパイアホール、4は回路A、5は回路を結ぶ配線、6は回路B、7は回路A、Bを分離する導体壁、8は導電性配体、9はパイアホール壁、10は第二層絶縁体膜、11は導体膜、12は裏面接地電極である。

なお図中同一符号は同一又は相当部分を示す。

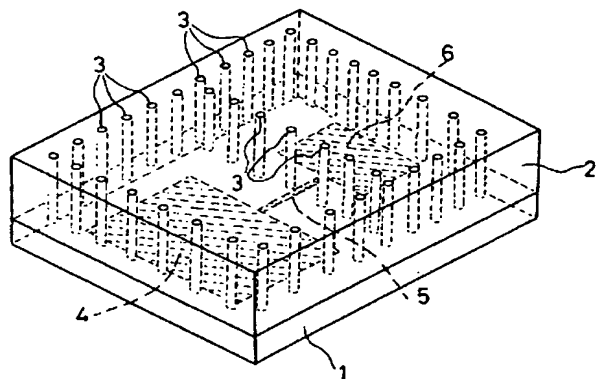
代理人 早 瀬 憲 一

第 1 図



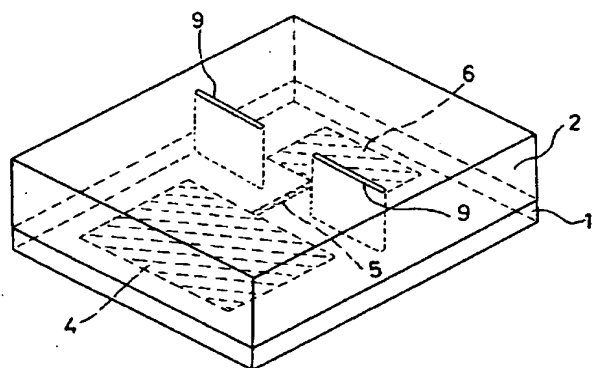
- 1: 基板
- 2: 絶縁体膜
- 3: パイアホール
- 4: 回路A
- 5: 配線
- 6: 回路B

第 2 図



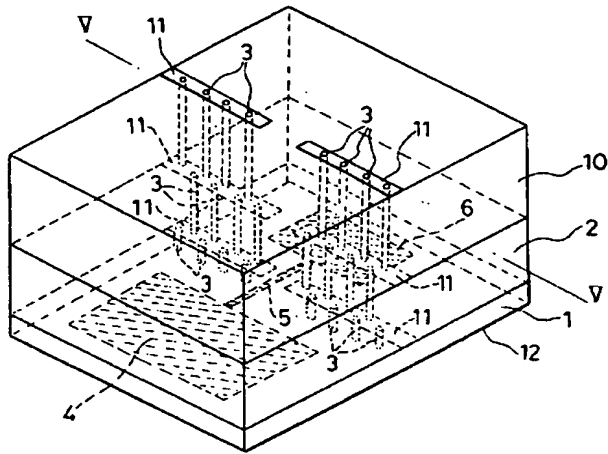
- 1: 基板
- 2: 絶縁体膜
- 3: パイアホール
- 4: 回路A
- 5: 配線
- 6: 回路B

第 3 図



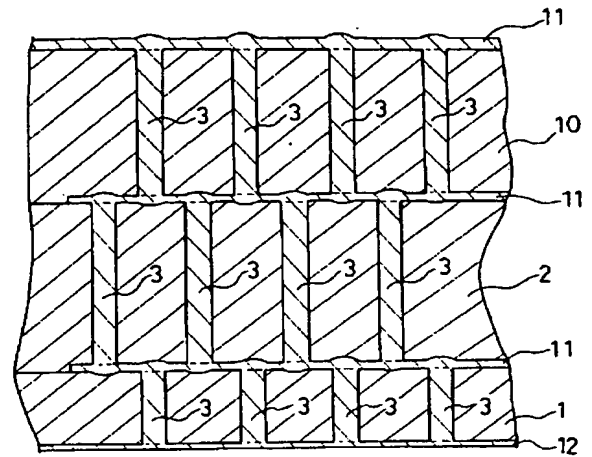
- 9: パイアホール壁

第 4 圖

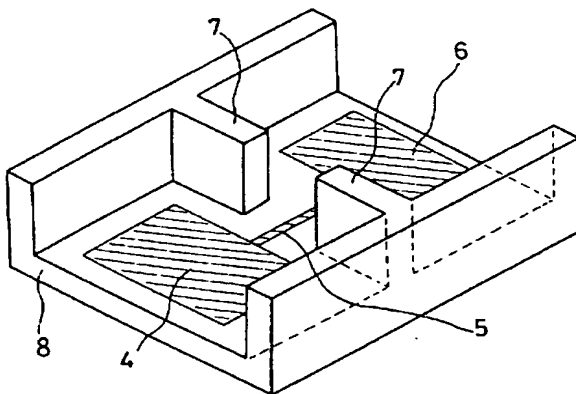


- 2: 第1層絶縁体膜
- 10: 第2層絶縁体膜
- 11: 導体膜
- 12: 表面接地電極

第 5 圖

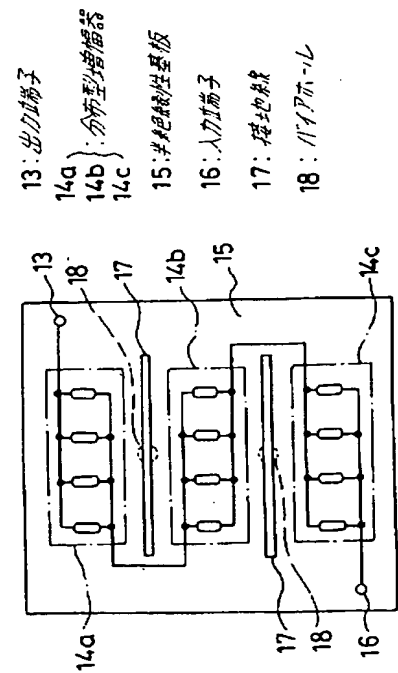


第 6 圖



- 7: 導体壁
- 8: 導電性筐体

第 7 圖



- 13: 出力端子
- 14a, 14b, 14c: 分布型増幅器
- 15: 半導体性基板
- 16: 入力端子
- 17: 接地線
- 18: バイアス

特開平3-165058(7)

手続補正書 (自発)

平成 2 年 8 月 3 / 日



特 許 庁 長 官 殿

1. 事件の表示

特願平 1 - 3 0 5 1 2 5 号

2. 特許の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人 郵便番号 564

住 所 大阪府吹田市江坂町1丁目23番43号

ファサード江坂ビル7階

(8181) 弁理士 早 瀬 憲 一

電話 06-380-5822

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第14頁第5行~第6行の「これら
を高周波的に接地するようにしたものにおいては、」
を「これら高周波的に接地するようにすることによ
り、」に訂正する。

以 上

